

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170840

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H01L 21/60
H05K 3/46

(21)Application number : 2001-061115

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 06.03.2001

(72)Inventor : O TOUTO
SAKAMOTO HAJIME

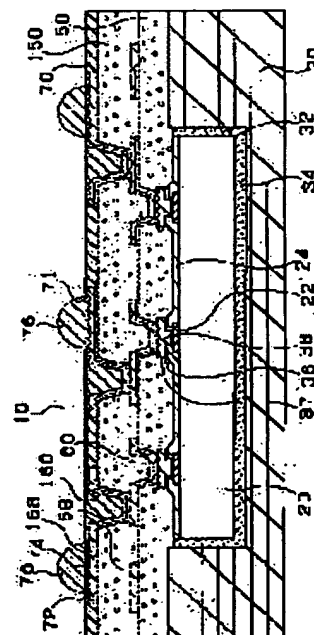
(30)Priority

Priority number : 2000290231 Priority date : 25.09.2000 Priority country : JP

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE AND MULTI-LAYER PRINTED CIRCUIT BOARD INCLUDING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that can have electrical contact directly with a printed circuit board without using a lead component.
SOLUTION: The IC chip 20 in which transition layers 38 are arranged on the die pads 22 is built in the printed circuit board 10. Thereby, it is possible to electrically connect the IC chip 20 with the multi-layer printed circuit board 10 without using a lead component or a sealing resin. The transition layers 38 made of copper arranged on the die pads 24 can prevent a residue of the resin on pads 24, which enables to improve connectivity between the die pads 24 and the via holes 60, and reliability thereof.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAjDaGWLDA414170840P1.htm> 3/14/2005

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-170840

(P2002-170840A)

(43) 公開日 平成14年6月14日 (2002. 6. 14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/60		H 0 1 L 21/60	3 1 1 S 5 E 3 4 6
	3 1 1	H 0 5 K 3/46	Q 5 F 0 4 4
H 0 5 K 3/46			B
		H 0 1 L 21/92	6 0 2 H
			6 0 4 D

審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-61115 (P2001-61115)
(22) 出願日 平成13年3月6日 (2001. 3. 6)
(31) 優先権主張番号 特願2000-290231 (P2000-290231)
(32) 優先日 平成12年9月25日 (2000. 9. 25)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000000158
イビデン株式会社
岐阜県大垣市神田町2丁目1番地
(72) 発明者 王 東冬
岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内
(72) 発明者 坂本 一
岐阜県揖斐郡揖斐川町北方1-1 イビデ
ン株式会社大垣北工場内
(74) 代理人 100095795
弁理士 田下 明人 (外1名)

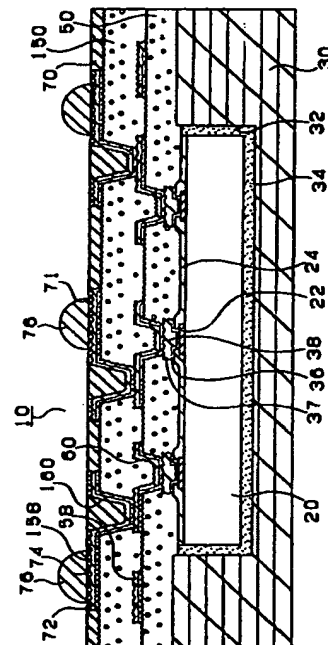
最終頁に続く

(54) 【発明の名称】 半導体素子及び半導体素子を内蔵する多層プリント配線板の製造方法

(57) 【要約】

【課題】 リード部品を介さずに、プリント配線板と直接電氣的接続し得る半導体素子を提案する。

【解決手段】 ICチップ20のダイパッド22にトランジション層38を配設させ、多層プリント配線板10に内蔵させてある。このため、リード部品や封止樹脂を用いず、ICチップ20と多層プリント配線板10との電氣的接続を取ることができる。また、ダイパッド24上に銅製のトランジション層38を設けることで、パッド24上の樹脂残りを防ぐことができ、ダイパッド24とバイアホール60との接続性や信頼性を向上させる。



【特許請求の範囲】

【請求項 1】 半導体素子が形成されたウエハーにおいて、

前記半導体素子のダイパッド上に、トランジション層が形成された半導体素子。

【請求項 2】 半導体素子が形成されたウエハーにおいて、

前記半導体素子のダイパッド上に、トランジション層が形成され、該トランジション層は、少なくとも 2 層以上である半導体素子。

【請求項 3】 前記トランジション層の最下層は、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅のいずれかから、選ばれる少なくとも 1 種類以上で積層される請求項 1 または 2 に記載の半導体素子。

【請求項 4】 前記トランジション層の最上層は、ニッケル、銅、金、銀、亜鉛、鉄の中から選ばれる請求項 1 ～ 3 のいずれかに記載の半導体素子。

【請求項 5】 半導体素子が形成されたウエハーにおいて、

前記半導体素子のダイパッド上に、トランジション層が形成され、該トランジション層は、第 1 薄膜層、第 2 薄膜層、厚付け層で形成されている半導体素子。

【請求項 6】 前記トランジション層の第 1 薄膜層は、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅のいずれかから、選ばれる少なくとも 1 種類以上で積層される請求項 1 または 2 に記載の半導体素子。

【請求項 7】 前記トランジション層の第 2 薄膜層は、ニッケル、銅、金、銀の中から選ばれる請求項 1 ～ 3 のいずれかに記載の半導体素子。

【請求項 8】 請求項 1 ～ 7 の前記半導体素子をプリント配線板に收容、収納、又は、埋め込み、その上に、ビルドアップ工程を経て形成される半導体素子を内蔵する多層プリント配線板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特に IC チップなどの半導体素子、及び、該半導体素子を内蔵する多層プリント配線板の製造方法に関するものである。

【0002】

【従来の技術】 IC チップは、ワイヤーボンディング、TAB、フリップチップなどの実装方法によって、プリント配線板との電氣的接続を取っていた。ワイヤーボンディングは、プリント配線板に IC チップを接着剤によりダイボンディングさせて、該プリント配線板のパッドと IC チップのパッドとを金線などのワイヤーで接続させた後、IC チップ並びにワイヤーを守るために熱硬化性樹脂あるいは熱可塑性樹脂などの封止樹脂を施していた。

【0003】 TAB は、IC チップのバンパとプリント配線板のパッドとをリードと呼ばれる線を半田などによ

って一括して接続させた後、樹脂による封止を行っていた。フリップチップは、IC チップとプリント配線板のパッド部とをバンパを介して接続させて、バンパとの隙間に樹脂を充填させることによって行っていた。

【0004】 しかしながら、それぞれの実装方法は、IC チップとプリント配線板の間に接続用のリード部品（ワイヤー、リード、バンパ）を介して電氣的接続を行っている。それらの各リード部品は、切断、腐食し易く、これにより、IC チップとの接続が途絶えたり、誤作動の原因となることがあった。また、それぞれの実装方法は、IC チップを保護するためにエポキシ樹脂等の熱可塑性樹脂によって封止を行っているが、その樹脂を充填する際に気泡を含有すると、気泡が起点となって、リード部品の破壊や IC パッドの腐食、信頼性の低下を招いてしまう。熱可塑性樹脂による封止は、それぞれの部品に合わせて樹脂充填用プランジャー、金型を作成する必要があるが、また、熱硬化性樹脂であってもリード部品、ソルダーレジストなどの材質などを考慮した樹脂を選定しなくては成らないために、それぞれにおいてコスト的にも高くなる原因にもなった。

【0005】 一方、上述したように IC チップをプリント配線板（パッケージ基板）の外部に取り付けのではなく、基板に半導体素子を埋め込んで、その上層に、ビルドアップ層を形成させることにより電氣的接続を取る従来技術として、特開平 9-321408 号（USP 5875100）、特開平 10-256429 号、特開平 11-126978 号などが提案されている。

【0006】 特開平 9-321408 号（USP 5875100）には、ダイパッド上に、スタッドバンパを形成した半導体素子をプリント配線板に埋め込んで、スタッドバンパ上に配線を形成して電氣的接続を取っていた。しかしながら、該スタッドバンパはタマネギ状であり高さのバラツキが大きいために、層間絶縁層を形成させると、平滑性が低下し、パイアホールを形成させても未接続になりやすい。また、スタッドバンパをボンディングにより一つ一つ植設しており、一括して配設することができず、生産性という点でも難点があった。

【0007】 特開平 10-256429 号には、セラミック基板に半導体素子を收容し、フリップチップ形態によって電氣的接続されている構造が示されている。しかしながら、セラミックは外形加工性が悪く、半導体素子の納まりがよくない。また、該バンパでは、高さのバラツキも大きくなった。そのために、層間絶縁層の平滑性が損なわれ、接続が低下してしまう。

【0008】 特開平 11-126978 号には、空隙の收容部に半導体素子などの電子部品埋め込んで、導体回路と接続して、パイアホールを介して積載している多層プリント配線板が示されている。しかしながら、收容部が空隙であるために、位置ずれを引き起こしやすく、半導体素子のパッドとの未接続が起き易い。また、ダイバ

ッドと導体回路とを直接接続させているので、ダイパッドに酸化被膜ができやすく、絶縁抵抗が上昇してしまう問題がある。

【0009】

【発明が解決しようとする課題】本発明は上述した課題を解決するためになされたものであり、その目的とするところは、リード部品を介さないで、プリント配線板と直接電氣的接続し得る半導体素子、半導体素子を内蔵するプリント配線板の製造方法を提案することを目的とする。

【0010】

【課題を解決するための手段】本発明者は鋭意研究した結果、半導体素子のダイパッド上に、トランジション層を形成させることを創出した。そのトランジション層を有する半導体素子は、プリント配線板に、埋め込み、収容、収容させても、その上に、層間絶縁層を施して、バイアホールを形成させても所望の大きさや形状のものが得られる。

【0011】ICチップのダイパッドにトランジション層を設ける理由を説明する。ICチップのダイパッドは一般的にアルミニウムなどで製造されている。トランジション層を形成させていないダイパッドのままで、フォトエッチングにより層間絶縁層のバイアホールを形成させた時、ダイパッドのままであれば露光、現像後にパッドの表層に樹脂が残りが残った。それに、現像液の付着によりパッドの変色を引き起こした。一方、レーザによりバイアホールを形成させた場合にもアルミニウムのパッドを焼損する危険がある。また、焼損しない条件で行うと、パッド上に樹脂残りが発生した。また、後工程に、酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経ると、ICチップのパッドの変色、溶解が発生した。更に、ICチップのパッドは、40μm程度の径で作られており、バイアホールはそれより大きく位置公差も必要となるため、位置ずれなどが起き、未接続など発生しやすい。

【0012】これに対して、ダイパッド上に銅等からなるトランジション層を設けることで、バイアホール形成の不都合が解消されて、溶剤の使用が可能となりパッド上の樹脂残りを防ぐことができる。また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッドの変色、溶解が発生しない。これにより、パッドとバイアホールとの接続性や信頼性を向上させる。更に、ICチップのダイパッド上よりも大きな径のトランジション層を介在させることで、バイアホールを確実に接続させることができる。望ましいのは、トランジション層は、バイアホール径、位置公差と同等以上のものがよい。

【0013】さらに、トランジション層が形成されているので、半導体素子であるICチップをプリント配線板に埋め込む、収容、収納する前、もしくはその後にでも

半導体素子の動作や電気検査を容易に行なえるようになった。それは、ダイパッドよりも大きいトランジション層が形成されているので、検査用プローブピンが接触し易くなったからである。それにより、予め製品の可否が判定することができ、生産性やコスト面でも向上させることができる。また、プローブによるパッドの損失や傷などが発生しない。

【0014】故に、トランジションを形成することによって、半導体素子であるICチップをプリント配線に埋め込み、収容、収納することが好適に行える。つまり、トランジション層を有する半導体素子は、プリント配線板の埋め込み、収容、収納するため半導体素子であるともいえる。該トランジション層は、ダイパッド上に、薄膜層を形成し、その上に厚付け層を形成して成る。少なくとも2層以上で形成することができる。

【0015】それぞれに多層プリント配線板だけで機能を果たしているが、場合によっては半導体装置としてのパッケージ基板としての機能させるために外部基板であるマザーボードやドーターボードとの接続のため、BGA、半田バンプやPGA（導電性接続ピン）を配設させてもよい。また、この構成は、従来の実装方法で接続した場合よりも配線長を短くできて、ループインダクタンスも低減できる。

【0016】本願発明で定義されているトランジション層について説明する。トランジション層は、従来技術のICチップ実装技術を用いることなく、半導体素子であるICチップとプリント配線板とを直接に接続を取るため、設けられた中間の仲介層を意味する。その特徴として、2層以上の金属層で形成されている。もしくは、半導体素子であるICチップのダイパッドよりも大きくさせることである。それによって、電氣的接続や位置合わせ性を向上させるものであり、かつ、ダイパッドにダメージを与えることなくレーザやフォトエッチングによるバイアホール加工を可能にするものである。そのため、ICチップのプリント配線板への埋め込み、収容、収納や接続を確実にすることができる。また、トランジション層上には、直接、プリント配線板の導体層である金属を形成することを可能にする。その導体層の一例としては、層間樹脂絶縁層のバイアホールや基板上のスルーホールなどがある。

【0017】本願発明に用いられるICチップなどの電子部品を内蔵させる樹脂製基板としては、エポキシ樹脂、BT樹脂、フェノール樹脂などにガラスエポキシ樹脂などの補強材や心材を含浸させた樹脂、エポキシ樹脂を含浸させたプリプレグを積層させたものなどが用いられるが、一般的にプリント配線板で使用されるものを用いることができる。それ以外にも両面銅箔積層板、片面板、金属膜を有しない樹脂板、樹脂フィルムを用いることができる。ただし、350℃以上の温度を加えると樹脂は、溶解、炭化をしてしまう。

【0018】ICチップの全面に蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜を形成させる。その金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅などの金属を1層以上形成させるのがよい。厚みとしては、0.001～2.0 μ mの間で形成させるのがよい。特に、0.01～1.0 μ mが望ましい。

【0019】該金属膜の上に、更に無電解めっき等により金属膜を設けることもできる。上側の金属膜は、ニッケル、銅、金、銀などの金属を1層以上形成させるものがよい。厚みは、0.01～5 μ mがよく、特に、0.1～3.0 μ mが望ましい。

【0020】その金属膜上に、無電解あるいは電解めっきにより、厚付けさせる。形成されるメッキの種類としてはニッケル、銅、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いることがよい。その厚みは1～20 μ mの範囲で行うのがよい。それより厚くなると、エッチングの際にアンダーカットが起こってしまい、形成されるトランジション層とパイアホールと界面に隙間が発生することがある。その後、エッチングレジストを形成して、露光、現像してトランジション層以外の部分の金属を露出させてエッチングを行い、ICチップのパッド上にトランジション層を形成させる。

【0021】また、上記トランジション層の製造方法以外にも、ICチップ及びコア基板の上に形成した金属膜上にドライフィルムレジストを形成してトランジション層に該当する部分を除去させて、電解めっきによって厚付けした後、レジストを剥離してエッチング液によって、同様にICチップのパッド上にトランジション層を形成させることもできる。

【0022】

【発明の実施の形態】以下、本発明の実施例について図を参照して説明する。

A. 半導体素子

先ず、本発明の第1実施例に係る半導体素子（ICチップ）の構成について、半導体素子20の断面を示す図3（A）、及び、平面図を示す図4（B）を参照して説明する。

【0023】【第1実施例】図3（B）に示すように半導体素子20の上面には、ダイパッド22及び配線（図示せず）が配設されており、該ダイパッド22及び配線の上に、保護膜24が被覆され、該ダイパッド22には、保護膜24の開口が形成されている。ダイパッド22の上には、主として銅からなるトランジション層38が形成されている。トランジション層38は、薄膜層33と厚付け層37とからなる。いいかえると、2層以上の金属層で形成されている。

【0024】引き続き、図3（B）を参照して上述した

半導体素子の製造方法について、図1～図4を参照して説明する。

【0025】（1）先ず、図1（A）に示すシリコンウエハー20Aに、定法により配線21及びダイパッド22を形成する（図1（B）及び図1（B）の平面図を示す図4（A）参照、なお、図1（B）は、図4（A）のB-B断面を表している）。

（2）次に、ダイパッド22及び配線21の上に、保護膜24を形成し、ダイパッド22上に開口24aを設ける（図1（C））。

【0026】（3）シリコンウエハー20Aに蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜（薄膜層）33を形成させる（図2（A））。その厚みは、0.001～2.0 μ mの範囲で形成させるのがよい。その範囲よりも下の場合は、全面に薄膜層を形成することができない。その範囲よりも上の場合は、形成される膜に厚みのバラツキが生じてしまう。最適な範囲は0.01～1.0 μ mである。形成する金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅の中から、選ばれるものを用いることがよい。それらの金属は、ダイパッドの保護膜となり、かつ、電気特性を劣化させることがない。第1実施例では、薄膜層33は、スパッタによってクロムで形成されている。クロムは、金属との密着性がよく、湿分の侵入を抑えることができる。また、クロム層の上に銅をスパッタで施してもよい。クロム、銅の2層を真空チャンバ内で連続して形成してもよい。このとき、クロム0.05～0.1 μ m、銅0.5 μ m程度の厚みである。

【0027】（4）その後、液状レジスト、感光性レジスト、ドライフィルムのいずれかのレジスト層を薄膜層33上に形成させる。トランジション層38を形成する部分が描画されたマスク（図示せず）を該レジスト層上に、載置して、露光、現像を経て、レジスト35に非形成部35aを形成させる。電解メッキを施してレジスト層の非形成部35aに厚付け層（電解めっき膜）37を設ける（図2（B））。形成されるメッキの種類としてはニッケル、銅、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよく、第1実施例では、銅を用いる。その厚みは1～20 μ mの範囲で行うのがよい。

【0028】（5）メッキレジスト35をアルカリ溶液等で除去した後、メッキレジスト35下の金属膜33を硫酸-過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去することで、ICチップのパッド22上にトランジション層38を形成する（図2（C））。

【0029】（6）次に、基板にエッチング液をスプレーで吹きつけ、トランジション層38の表面をエッチングすることにより粗化面38aを形成する（図3（A））

参照)。無電解めっきや酸化還元処理を用いて粗化面を形成することもできる。

【0030】(7)最後に、トランジション層38が形成されたシリコンウエハー20Aを、ダイシングなどによって個片に分割して半導体素子20を形成する(図3(B)及び図3(B)の平面図である図4(B)参照)。その後、必要に応じて、分割された半導体素子20の動作確認や電気検査を行なってもよい。半導体素子20は、ダイパッド22よりも大きなトランジション層38が形成されているので、プローブピンが当てやす

く、検査の精度が高くなっている。

【0031】[第1実施例の第1改変例]上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第1改変例では、薄膜層33をチタンにより形成する。チタンは、蒸着かスパッタによって施される。チタンは、金属との密着性がよく、湿分の侵入を抑えることができる。

【0032】[第1実施例の第2改変例]上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第2改変例では、薄膜層をスズにより形成する。

【0033】[第1実施例の第3改変例]上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第3改変例では、薄膜層を亜鉛により形成する。

【0034】[第1実施例の第4改変例]上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第4改変例では、薄膜層をニッケルにより形成する。ニッケルはスパッタにより形成する。ニッケルは、金属との密着性がよく、湿分の侵入を抑えることができる。

【0035】[第1実施例の第5改変例]上述した第1実施例では、薄膜層33がクロムにより形成された。これに対して、第5改変例では、薄膜層をコバルトにより形成する。なお、各改変例において、薄膜層の上に、更に銅を積層してもよい。

【0036】[第2実施例]第2実施例に係る半導体素子20について、図7(B)を参照して説明する。図3(B)を参照して上述した第1実施例に係る半導体素子では、トランジション層38が、薄膜層33と厚付け層37とからなる2層構造であった。これに対して、第2実施例では、図7(B)に示すように、トランジション層38が、第1薄膜層33と、第2薄膜層36と、厚付け層37とからなる3層構造として構成されている。

【0037】引き続き、図7(B)を参照して上述した第2実施例に係る半導体素子の製造方法について、図5～図7を参照して説明する。

【0038】(1)まず、図5(A)に示すシリコンウエハー20Aに、配線21及びダイパッド22を形成する(図5(B))。

(2)次に、ダイパッド22及び配線の上に、保護膜24を形成する(図5(C))。

【0039】(3)シリコンウエハー20Aに蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の金属膜(第1薄膜層)33を形成させる(図5

(D))。その厚みは、0.001～2μmの範囲で形成させるのがよい。その範囲よりも下の場合は、全面に薄膜層を形成することができない。その範囲よりも上の場合は、形成される膜に厚みのバラツキが生じてしま

う。最適な範囲は0.01～1.0μmである。形成する金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅の中から、選ばれるものを用いることがよい。それらの金属は、ダイパッドの保護膜となり、かつ、電気特性を劣化させることがない。第2実施例では、第1薄膜層33は、クロムにより形成される。クロム、ニッケル、チタンは、金属との密着性がよく、湿分の侵入を抑えることができる。

【0040】(4)第1薄膜層33の上に、スパッタ、蒸着、無電解めっきのいずれかの方法によって第2薄膜層36を積層する。その場合積層できる金属は、ニッケル、銅、金、銀の中から選ばれるものがよい。特に、銅、ニッケルのいずれかで形成させることがよい。銅は、廉価であることと電気伝導性がよいからである。ニッケルは、薄膜との密着性がよく、剥離やクラックを引き起こし難い。第2実施例では、第2薄膜層36を無電解銅めっきにより形成する。なお、望ましい第1薄膜層と第2薄膜層との組み合わせは、クロム-銅、クロム-ニッケル、チタン-銅、チタン-ニッケルなどである。金属との接合性や電気伝導性という点で他の組み合わせよりも優れる。

【0041】(5)その後、レジスト層を第2薄膜層36上に形成させる。マスク(図示せず)を該レジスト層上に載置して、露光、現像を経て、レジスト35に非形成部35aを形成させる。電解メッキを施してレジスト層の非形成部35aに厚付け層(電解めっき膜)37を設ける(図6(B))。形成されるメッキの種類としては銅、ニッケル、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよく、第2実施例では、銅を用いる。厚みは1～20μmの範囲がよい。

【0042】(6)メッキレジスト35をアルカリ溶液等で除去した後、メッキレジスト35下の第2薄膜層36、第1薄膜層33を硫酸-過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去することで、ICチップのパッド22上にトランジション層38を形成する(図6(C))。

【0043】(7)次に、基板にエッチング液をスプレーで吹きつけ、トランジション層38の表面をエッチングすることにより粗化面38αを形成する(図7(A))

参照)。無電解めっきや酸化還元処理を用いて粗化面を形成することもできる。

【0044】(8)最後に、トランジション層38が形成されたシリコンウエハー20Aを、ダイシングなどによって個片に分割して半導体素子20を形成する(図7(B))。

【0045】[第2実施例の第1改変例]上述した第2実施例では、第1薄膜層33がクロムにより、第2薄膜層36が無電解めっき銅で、厚付け層37が電解銅めっきで形成された。これに対して、第1改変例では、第1薄膜層33をクロムにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みとして、クロム0.07 μ m、銅0.5 μ m、電解銅15 μ mである。

【0046】[第2実施例の第2改変例]第2改変例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解銅で、厚付け層37を電解銅めっきで形成する。各層の厚みとして、チタン0.07 μ m、めっき銅1.0 μ m、電解銅17 μ mである。

【0047】[第2実施例の第3改変例]第3改変例では、第1薄膜層33をチタンにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みとして、チタン0.06 μ m、銅0.5 μ m、電解銅15 μ mである。

【0048】[第2実施例の第4改変例]第4改変例では、第1薄膜層33をクロムにより、第2薄膜層36が無電解めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みとして、クロム0.07 μ m、めっき銅1.0 μ m、電解銅15 μ mである。

【0049】[第2実施例の第5改変例]第5改変例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みとして、チタン0.05 μ m、めっきニッケル1.2 μ m、電解銅15 μ mである。

【0050】[第3実施例]第3実施例に係る半導体素子20の製造方法について図8を参照して説明する。第3実施例の半導体素子の構成は、図3(B)を参照して上述した第1実施例とほぼ同様である。但し、第1実施例では、セミアディティブ工程を用い、レジスト非形成部に厚付け層37を形成することでトランジション層38を形成した。これに対して、第3実施例では、アディティブ工程を用い、厚付け層37を均一に形成した後、レジストを設け、レジスト非形成部をエッチングで除去することでトランジション層38を形成する。

【0051】この第3実施例の製造方法について図8を参照して説明する。

(1)第1実施例で図2(B)を参照して上述したように、シリコンウエハー20Aに蒸着、スパッタリングなどの物理的な蒸着を行い、全面に導電性の第1薄膜層33を形成させる(図2(A))。その厚みは、0.00

1~2.0 μ mの範囲がよい。その範囲よりも下の場合は、全面に薄膜層を形成することができない。その範囲よりも上の場合には、形成される膜に厚みのバラツキが生じてしまう。最適な範囲は0.01~1.0 μ mで形成されることがよい。形成する金属としては、スズ、クロム、チタン、ニッケル、亜鉛、コバルト、金、銅の中から、選ばれるものを用いることがよい。それらの金属は、ダイパッドの保護となり、かつ、電気特性を劣化させることがない。第3実施例では、第1薄膜層33は、クロムをスパッタすることで形成される。クロムの厚みは0.05 μ mである。

【0052】(2)電解メッキを施して第1薄膜層33の上に厚付け層(電解めっき膜)37を均一に設ける(図8(B))。形成されるメッキの種類としては銅、ニッケル、金、銀、亜鉛、鉄などがある。電気特性、経済性、また、後程で形成されるビルドアップである導体層は主に銅であることから、銅を用いるとよく、第3実施例では、銅を用いる。その厚みは1~20 μ mの範囲で行うのがよい。それより厚くなると、後述するエッチングの際にアンダーカットが起こってしまい、形成されるトランジション層とパイアホールと界面に隙間が発生することがあるからである。

【0053】(3)その後、レジスト層35を厚付け層37上に形成させる(図8(C))。

【0054】(4)レジスト35の非形成部の金属膜33及び厚付け層37を硫酸一過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体一有機酸塩等のエッチング液によって除去した後、レジスト35を剥離することで、ICチップのパッド22上にトランジション層38を形成する(図8(D))。以降の工程は、第1実施例と同様であるため説明を省略する。

【0055】[第3実施例の第1改変例]上述した第3実施例では、薄膜層33がクロムにより形成された。これに対して、第1改変例では、薄膜層33をチタンにより形成する。

【0056】[第4実施例]第4実施例に係る半導体素子20の製造方法について、図9を参照して説明する。図8を参照して上述した第3実施例に係る半導体素子では、トランジション層38が、薄膜層33と厚付け層37とからなる2層構造であった。これに対して、第4実施例では、図9(D)に示すように、トランジション層38が、第1薄膜層33と、第2薄膜層36と、厚付け層37とからなる3層構造として構成されている。

【0057】この第4実施例の製造方法について図9を参照して説明する。

(1)第1実施例で図6(A)を参照して上述した第2実施例と同様に、第1薄膜層33の上に、スパッタ、蒸着、無電解めっきによって第2薄膜層36を積層する(図9(A))。その場合積層できる金属は、ニッケル、銅、金、銀の中から選ばれるものがよい。特に、

銅、ニッケルのいずれかで形成させることがよい。銅は、廉価であることと電気伝達性がよいからである。ニッケルは、薄膜との密着性がよく、剥離やクラックを引き起こし難い。第4実施例では、第2薄膜層36を無電解銅めっきにより形成する。なお、望ましい第1薄膜層と第2薄膜層との組み合わせは、クロム-銅、クロム-ニッケル、チタン-銅、チタン-ニッケルである。金属との接合性や電気伝達性という点で他の組み合わせよりも優れる。

【0058】(2) 電解メッキを施して第2薄膜層36の上に厚付け層37を均一に設ける(図9(B))。

【0059】(3) その後、レジスト層35を厚付け層37上に形成させる(図9(C))。

【0060】(4) レジスト35の非形成部の第1薄膜層33、第2薄膜層36及び厚付け層37を硫酸-過酸化水素水、塩化第二鉄、塩化第二銅、第二銅錯体-有機酸塩等のエッチング液によって除去した後、レジスト35を剥離することで、ICチップのパッド22上にトランジション層38を形成する(図9(D))。以降の工程は、第1実施例と同様であるため説明を省略する。

【0061】[第4実施例の第1改変例] 上述した第4実施例では、第1薄膜層33がクロムにより、第2薄膜層36が無電解銅めっき銅で、厚付け層37が電解銅めっきで形成された。これに対して、第1改変例では、第1薄膜層33をクロムにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みは、クロム0.07 μ m、銅0.5 μ m、電解銅15 μ mである。

【0062】[第4実施例の第2改変例] 第2改変例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解銅で、厚付け層37を電解銅めっきで形成する。各層の厚みは、チタン0.07 μ m、銅1.0 μ m、電解銅15 μ mである。

【0063】[第4実施例の第3改変例] 第3改変例では、第1薄膜層33をチタンにより、第2薄膜層36をスパッタ銅で、厚付け層37を電解銅めっきで形成する。各層の厚みは、チタン0.07 μ m、銅0.5 μ m、電解銅18 μ mである。

【0064】[第4実施例の第4改変例] 第4改変例では、第1薄膜層33をクロムにより、第2薄膜層36が無電解銅めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みは、クロム0.06 μ m、ニッケル1.2 μ m、電解銅16 μ mである。

【0065】[第4実施例の第5改変例] 第5改変例では、第1薄膜層33をチタンにより、第2薄膜層36が無電解銅めっきニッケルで、厚付け層37を電解銅めっきで形成する。各層の厚みは、チタン0.07 μ m、ニッケル1.1 μ m、電解銅15 μ mである。

【0066】B. 半導体素子を内蔵する多層プリント配線板

引き続き、上述した第1～第4実施例の半導体素子(ICチップ)20をコア基板の凹部、空隙、開口に埋め込み、收容、収納させてなる多層プリント配線板の構成について説明する。

【第1実施例】図14に示すように多層プリント配線板10は、図3(B)を参照して上述した第1実施例のICチップ20を收容するコア基板30と、層間樹脂絶縁層50、層間樹脂絶縁層150とからなる。層間樹脂絶縁層50には、バイアホール60および導体回路58が形成され、層間樹脂絶縁層150には、バイアホール160および導体回路158が形成されている。

【0067】層間樹脂絶縁層150の上には、ソルダーレジスト層70が配設されている。ソルダーレジスト層70の開口部71下の導体回路158には、図示しないドーナツボード、マザーボード等の外部基板と接続するための半田バンプ76が設けられている。

【0068】本実施例の多層プリント配線板10では、コア基板30にICチップ20を内蔵させて、該ICチップ20のパッド22にはトランジション層38を配設させている。このため、リード部品や封止樹脂を用いず、ICチップと多層プリント配線板(パッケージ基板)との電氣的接続を取ることができる。また、ICチップ部分にトランジション層38が形成されていることから、ICチップ部分には平坦化されるので、上層の層間絶縁層50も平坦化されて、膜厚も均一になる。更に、トランジション層によって、上層のバイアホール60を形成する際も形状の安定性を保つことができる。

【0069】更に、ダイパッド22上に銅製のトランジション層38を設けることで、パッド22上の樹脂残りを防ぐことができ、また、後工程の際に酸や酸化剤あるいはエッチング液に浸漬させたり、種々のアニール工程を経てもパッド22の変色、溶解が発生しない。これにより、ICチップのパッドとバイアホールとの接続性や信頼性を向上させる。更に、40 μ m径パッド22上に60 μ m径以上のトランジション層38を介在させることで、60 μ m径のバイアホールを確実に接続させることができる。

【0070】引き続き、図14を参照して上述した多層プリント配線板の製造方法について、図10～図13を参照して説明する。

【0071】(1) 先ず、ガラスクロス等の心材にエポキシ等の樹脂を含浸させたプリプレグを積層した絶縁樹脂基板(コア基板)30を出発材料とする(図10

(A)参照)。次に、コア基板30の片面に、ザグリ加工でICチップ收容用の凹部32を形成する(図10(B)参照)。ここでは、ザグリ加工により凹部を設けているが、開口を設けた絶縁樹脂基板と開口を設けない樹脂絶縁基板とを張り合わせることで、收容部を備えるコア基板を形成できる。

【0072】(2) その後、凹部32に、印刷機を用い

て接着材料34を塗布する。このとき、塗布以外にも、ポッティングなどをしてよい。次に、ICチップ20を接着材料34上に載置する(図10(C)参照)。

【0073】(3)そして、ICチップ20の上面を押す、もしくは叩いて凹部32内に完全に収容させる(図10(D)参照)。これにより、コア基板30を平滑にすることができる。この際に、接着材料34が、ICチップ20の上面にかかることが有るが、後述するようにICチップ20の上面に樹脂層を設けてからレーザーでバ

【0074】(4)上記工程を経た基板に、厚さ50 μ mの熱硬化型樹脂シートを温度50～150℃まで昇温しながら圧力5kg/cm²で真空圧着ラミネートし、層間樹脂絶縁層50を設ける(図11(A)参照)。真空圧着時の真空度は、10mmHgである。

【0075】(5)次に、波長10.4 μ mのCO₂ガスレーザーにて、ビーム径5mm、トップハットモード、パルス幅5.0 μ s、マスクの穴径0.5mm、1ショットの条件で、層間樹脂絶縁層50に直径60 μ mのバ 20
イアホール用開口48を設ける(図11(B)参照)。液温60℃の過マンガン酸を用いて、開口48内の樹脂*

(無電解めっき水溶液)

NiSO ₄	0.003 mol/l
酒石酸	0.200 mol/l
硫酸銅	0.030 mol/l
HCHO	0.050 mol/l
NaOH	0.100 mol/l
α 、 α' -ピピルジル	100 mg/l
ポリエチレングリコール(PEG)	0.10 g/l

34℃の液温度で40分間浸漬させた。

【0078】めっきの代わりに、日本真空技術株式会社製のSV-4540を用い、Ni-Cu合金をターゲットにしたスパッタリングを、気圧0.6Pa、温度80℃、電力200W、時間5分間の条件で行い、Ni-Cu合金52をエポキシ系層間樹脂絶縁層50の表面に形成することもできる。このとき、形成されたNi-Cu合金層52の厚さは0.2 μ mである。

【0079】(8)上記処理を終えた基板30に、市販※

(電解めっき水溶液)

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤(アトテックジャパン製、カバラシドHL)	19.5 ml/l

(電解めっき条件)

電流密度	1 A/dm ²
時間	6分
温度	22±2℃

【0081】(9)めっきレジスト54を5%NaOHで剥離除去した後、そのめっきレジスト下の金属層52

*残りを除去する。ダイパッド22上に銅製のトランジション層38を設けることで、パッド22上の樹脂残りを防ぐことができ、これにより、パッド22と後述するバ
イアホール60との接続性や信頼性を向上させる。更に、40 μ m径パッド22上に60 μ m以上の径のトランジション層38を介在させることで、60 μ m径のバ
イアホール用開口48を確実に接続させることができる。なお、ここでは、過マンガン酸などの酸化剤を用いて樹脂残さを除去したが、酸素プラズマなどやコロナ処
理を用いてデスミア処理を行うことも可能である。

【0076】(6)次に、過マンガン酸で層間樹脂絶縁層50の表面を粗化し、粗化面50 α を形成する(図11(C)参照)。粗化面は、0.05～5 μ mの間が望ましい。

【0077】(7)粗化面50 α が形成された層間樹脂絶縁層50上に、金属層52を設けた。金属層52は、無電解めっきによって形成させた。予め層間樹脂絶縁層50の表層にパラジウムなどの触媒を付与させて、無電解めっき液に5～60分間浸漬させることにより、0.1～5 μ mの範囲でめっき膜である金属層52を設けた(図12(A)参照)。その一例として、

※の感光性ドライフィルムを貼り付け、フォトマスクフィルムを載置して、100mJ/cm²で露光した後、0.8%炭酸ナトリウムで現像処理し、厚さ15 μ mのめっきレジスト54を設ける。次に、以下の条件で電解めっきを施して、厚さ15 μ mの電解めっき膜56を形成する(図12(B)参照)。なお、電解めっき水溶液中の添加剤は、アトテックジャパン社製のカバラシドHLである。

【0080】

を硝酸および硫酸と過酸化水素の混合液を用いるエッチングにて溶解除去し、金属層52と電解めっき膜56か

らなる厚さ16 μ mの導体回路58及びバイアホール60を形成し、第二銅鍍体と有機酸とを含有するエッチング液によって、粗化面58 α 、60 α を形成する(図12(C)参照)。

【0082】(10)次いで、上記(4)～(9)の工程を、繰り返すことにより、さらに上層の層間樹脂絶縁層150及び導体回路158(バイアホール160を含む)を形成する(図13(A)参照)。

【0083】(11)次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量4000)46.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)15重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)

1.6重量部、感光性モノマーである多官能アクリルモノマー(共栄化学社製、商品名:R604)3重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サノプロ社製、商品名:S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調整し、この混合組成物に対して光重量開始剤としてベンゾフェノン(関東化学社製)2.0重量部、光増感剤としてのミヒラケートン(関東化学社製)0.2重量部を加えて、粘度を25 $\text{Pa}\cdot\text{s}$ に調整した solder レジスト組成物(有機樹脂絶縁材料)を得る。なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60rpmの場合にはローターNo.4、6rpmの場合にはローターNo.3によった。

【0084】(12)次に、基板30に、上記 solder レジスト組成物を20 μ mの厚さで塗布し、70 $^{\circ}\text{C}$ で20分間、70 $^{\circ}\text{C}$ で30分間の条件で乾燥処理を行った後、solder レジストレジスト開口部のパターンが描画された厚さ5mmのフォトマスクを solder レジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μ mの直径の開口71を形成する(図13(B)参照)。また、市販の solder レジストを用いてもよい。

【0085】(13)次に、solder レジスト層(有機樹脂絶縁層)70を形成した基板を、塩化ニッケル(2.3 $\times 10^{-1}$ mol/l)、次亜リン酸ナトリウム(2.8 $\times 10^{-1}$ mol/l)、クエン酸ナトリウム(1.6 $\times 10^{-1}$ mol/l)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5 μ mのニッケルめっき層72を形成する。さらに、その基板を、シアン化金カリウム(7.6 $\times 10^{-3}$ mol/l)、塩化アンモニウム(1.9 $\times 10^{-1}$ mol/l)、クエン酸ナトリウム(1.2 $\times 10^{-1}$ mol/l

/l)、次亜リン酸ナトリウム(1.7 $\times 10^{-1}$ mol/l)を含む無電解めっき液に80 $^{\circ}\text{C}$ の条件で7.5分間浸漬して、ニッケルめっき層72上に厚さ0.03 μ mの金めっき層74を形成することで、導体回路158に半田パッド75を形成する(図13(C)参照)。

【0086】(14)この後、solder レジスト層70の開口部71に、はんだペーストを印刷して、200 $^{\circ}\text{C}$ でリフローすることにより、半田パンプ76を形成する。これにより、1Cチップ20を内蔵し、半田パンプ76を有する多層プリント配線板10を得ることができる(図14参照)。

【0087】半田ペーストには、Sn/Pb、Sn/Sb、Sn/Ag、Sn/Ag/Cuなどを用いることができる。もちろん、放射線の低 α 線タイプの半田ペーストを用いてもよい。

【0088】上述した実施例では、層間樹脂絶縁層50、150に熱硬化型樹脂シートを用いた。この樹脂シートには、難溶性樹脂、可溶性粒子、硬化剤、その他の成分が含有されている。それぞれについて以下に説明する。

【0089】本発明の製造方法において使用する樹脂は、酸または酸化剤に可溶性の粒子(以下、可溶性粒子という)が酸または酸化剤に難溶性の樹脂(以下、難溶性樹脂という)中に分散したものである。なお、本発明で使用する「難溶性」「可溶性」という語は、同一の酸または酸化剤からなる溶液に同一時間浸漬した場合に、相対的に溶解速度の早いものを便宜上「可溶性」と呼び、相対的に溶解速度の遅いものを便宜上「難溶性」と呼ぶ。

【0090】上記可溶性粒子としては、例えば、酸または酸化剤に可溶性の樹脂粒子(以下、可溶性樹脂粒子)、酸または酸化剤に可溶性の無機粒子(以下、可溶性無機粒子)、酸または酸化剤に可溶性の金属粒子(以下、可溶性金属粒子)等が挙げられる。これらの可溶性粒子は、単独で用いても良いし、2種以上併用してもよい。

【0091】上記可溶性粒子の形状は特に限定されず、球状、破碎状等が挙げられる。また、上記可溶性粒子の形状は、一様な形状であることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができるからである。

【0092】上記可溶性粒子の平均粒径としては、0.1 \sim 10 μ mが望ましい。この粒径の範囲であれば、2種類以上の異なる粒径のものを含有してもよい。すなわち、平均粒径が0.1 \sim 0.5 μ mの可溶性粒子と平均粒径が1 \sim 3 μ mの可溶性粒子とを含有する等である。これにより、より複雑な粗化面を形成することができ、導体回路との密着性にも優れる。なお、本発明において、可溶性粒子の粒径とは、可溶性粒子の一番長い部分の長さである。

【0093】上記可溶性樹脂粒子としては、熱硬化性樹脂、熱可塑性樹脂等からなるものが挙げられ、酸あるいは酸化剤からなる溶液に浸漬した場合に、上記難溶性樹脂よりも溶解速度が速いものであれば特に限定されない。上記可溶性樹脂粒子の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、フッ素樹脂等からなるものが挙げられ、これらの樹脂の一種からなるものであってもよいし、2種以上の樹脂の混合物からなるものであってもよい。

【0094】また、上記可溶性樹脂粒子としては、ゴムからなる樹脂粒子を用いることもできる。上記ゴムとしては、例えば、ポリブタジエンゴム、エポキシ変性、ウレタン変性、(メタ)アクリロニトリル変性等の各種変性ポリブタジエンゴム、カルボキシル基を含有した(メタ)アクリロニトリル・ブタジエンゴム等が挙げられる。これらのゴムを使用することにより、可溶性樹脂粒子が酸あるいは酸化剤に溶解しやすくなる。つまり、酸を用いて可溶性樹脂粒子を溶解する際には、強酸以外の酸でも溶解することができ、酸化剤を用いて可溶性樹脂粒子を溶解する際には、比較的酸化力の弱い過マンガン酸塩でも溶解することができる。また、クロム酸を用いた場合でも、低濃度で溶解することができる。そのため、酸や酸化剤が樹脂表面に残留することがなく、後述するように、粗化面形成後、塩化パラジウム等の触媒を付与する際に、触媒が付与されなかつたり、触媒が酸化されたりすることがない。

【0095】上記可溶性無機粒子としては、例えば、アルミニウム化合物、カルシウム化合物、カリウム化合物、マグネシウム化合物およびケイ素化合物からなる群より選択される少なくとも一種からなる粒子等が挙げられる。

【0096】上記アルミニウム化合物としては、例えば、アルミナ、水酸化アルミニウム等が挙げられ、上記カルシウム化合物としては、例えば、炭酸カルシウム、水酸化カルシウム等が挙げられ、上記カリウム化合物としては、炭酸カリウム等が挙げられ、上記マグネシウム化合物としては、マグネシア、ドロマイト、塩基性炭酸マグネシウム等が挙げられ、上記ケイ素化合物としては、シリカ、ゼオライト等が挙げられる。これらは単独で用いても良いし、2種以上併用してもよい。

【0097】上記可溶性金属粒子としては、例えば、銅、ニッケル、鉄、亜鉛、鉛、金、銀、アルミニウム、マグネシウム、カルシウムおよびケイ素からなる群より選択される少なくとも一種からなる粒子等が挙げられる。また、これらの可溶性金属粒子は、絶縁性を確保するために、表層が樹脂等により被覆されていてもよい。

【0098】上記可溶性粒子を、2種以上混合して用いる場合、混合する2種の可溶性粒子の組み合わせとしては、樹脂粒子と無機粒子との組み合わせが望ましい。両

者とも導電性が低いため樹脂フィルムの絶縁性を確保することができるとともに、難溶性樹脂との間で熱膨張の調整が図りやすく、樹脂フィルムからなる層間樹脂絶縁層にクラックが発生せず、層間樹脂絶縁層と導体回路との間で剥離が発生しないからである。

【0099】上記難溶性樹脂としては、層間樹脂絶縁層に酸または酸化剤を用いて粗化面を形成する際に、粗化面の形状を保持できるものであれば特に限定されず、例えば、熱硬化性樹脂、熱可塑性樹脂、これらの複合体等が挙げられる。また、これらの樹脂に感光性を付与した感光性樹脂であってもよい。感光性樹脂を用いることにより、層間樹脂絶縁層に露光、現像処理を用いてバイアホール用開口を形成することができる。これらのなかでは、熱硬化性樹脂を含有しているものが望ましい。それにより、めっき液あるいは種々の加熱処理によっても粗化面の形状を保持することができるからである。

【0100】上記難溶性樹脂の具体例としては、例えば、エポキシ樹脂、フェノール樹脂、フェノキシ樹脂、ポリイミド樹脂、ポリフェニレン樹脂、ポリオレフィン樹脂、ポリエーテルスルホン、フッ素樹脂等が挙げられる。これらの樹脂は単独で用いてもよいし、2種以上を併用してもよい。さらには、1分子中に、2個以上のエポキシ基を有するエポキシ樹脂がより望ましい。前述の粗化面を形成することができるばかりでなく、耐熱性等にも優れてるため、ヒートサイクル条件下においても、金属層に応力の集中が発生せず、金属層の剥離などが起きにくいからである。

【0101】上記エポキシ樹脂としては、例えば、クレゾールノボラック型エポキシ樹脂、ビスフェノールA型エポキシ樹脂、ビスフェノールF型エポキシ樹脂、フェノールノボラック型エポキシ樹脂、アルキルフェノールノボラック型エポキシ樹脂、ビフェノールF型エポキシ樹脂、ナフタレン型エポキシ樹脂、ジシクロペンタジエン型エポキシ樹脂、フェノール類とフェノール性水酸基を有する芳香族アルデヒドとの縮合物のエポキシ化物、トリグリシジルイソシアヌレート、脂環式エポキシ樹脂等が挙げられる。これらは、単独で用いてもよく、2種以上を併用してもよい。それにより、耐熱性等に優れるものとなる。

【0102】本発明で用いる樹脂フィルムにおいて、上記可溶性粒子は、上記難溶性樹脂中にはほぼ均一に分散されていることが望ましい。均一な粗さの凹凸を有する粗化面を形成することができ、樹脂フィルムにバイアホールやスルーホールを形成しても、その上に形成する導体回路の金属層の密着性を確保することができるからである。また、粗化面を形成する表層部だけに可溶性粒子を含有する樹脂フィルムを用いてもよい。それによって、樹脂フィルムの表層部以外は酸または酸化剤にさらされることがないため、層間樹脂絶縁層を介した導体回路間の絶縁性が確実に保たれる。

【0103】上記樹脂フィルムにおいて、難溶性樹脂中に分散している可溶性粒子の配合量は、樹脂フィルムに対して、3〜40重量%が望ましい。可溶性粒子の配合量が3重量%未満では、所望の凹凸を有する粗化面を形成することができない場合があり、40重量%を超えると、酸または酸化剤を用いて可溶性粒子を溶解した際に、樹脂フィルムの深部まで溶解してしまい、樹脂フィルムからなる層間樹脂絶縁層を介した導体回路間の絶縁性を維持できず、短絡の原因となる場合がある。

【0104】上記樹脂フィルムは、上記可溶性粒子、上記難溶性樹脂以外に、硬化剤、その他の成分等を含有していることが望ましい。上記硬化剤としては、例えば、イミダゾール系硬化剤、アミン系硬化剤、グアニジン系硬化剤、これらの硬化剤のエポキシダクトやこれらの硬化剤をマイクロカプセル化したもの、トリフェニルホスフィン、テトラフェニルホスフィン・テトラフェニルボレート等の有機ホスフィン系化合物等が挙げられる。

【0105】上記硬化剤の含有量は、樹脂フィルムに対して0.05〜10重量%であることが望ましい。0.05重量%未満では、樹脂フィルムの硬化が不十分であるため、酸や酸化剤が樹脂フィルムに侵入する度合いが大きくなり、樹脂フィルムの絶縁性が損なわれることがある。一方、10重量%を超えると、過剰な硬化剤成分が樹脂の組成を変性させることがあり、信頼性の低下を招いたりしてしまうことがある。

【0106】上記その他の成分としては、例えば、粗化面の形成に影響しない無機化合物あるいは樹脂等のフィラーが挙げられる。上記無機化合物としては、例えば、シリカ、アルミナ、ドロマイト等が挙げられ、上記樹脂としては、例えば、ポリイミド樹脂、ポリアクリル樹脂、ポリアミドイミド樹脂、ポリフェニレン樹脂、メラニン樹脂、オレフィン系樹脂等が挙げられる。これらのフィラーを含有させることによって、熱膨張係数の整合や耐熱性、耐薬品性の向上などを図り多層プリント配線板の性能を向上させることができる。

【0107】また、上記樹脂フィルムは、溶剤を含有しているもよい。上記溶剤としては、例えば、アセトン、メチルエチルケトン、シクロヘキサノン等のケトン類、酢酸エチル、酢酸ブチル、セロソルブアセテートやトルエン、キシレン等の芳香族炭化水素等が挙げられる。これらは単独で用いてもよいし、2種類以上併用してもよい。ただし、これらの層間樹脂絶縁層は、350℃以上の温度を加えると溶解、炭化をしてしまう。

【0108】【第2実施例】次に、本発明の第2実施例に係る多層プリント配線板について、図16を参照して説明する。上述した第1実施例では、BGAを配設した場合で説明した。第2実施例では、第1実施例とほぼ同様であるが、図16に示すように導電性接続ピン96を介して接続を取るPGA方式に構成されている。また、上

述した第1実施例では、バイアホールをレーザで形成したが、第2実施例では、フォトリソングによりバイアホールを形成する。

【0109】この第2実施例に係る多層プリント配線板の製造方法について、図15を参照して説明する。

(4) 第1実施例と同様に、(1)〜(3)上記工程を経た基板に、厚さ50μmの熱硬化型エポキシ系樹脂50を塗布する(図15(A)参照)。

【0110】(5) 次に、バイアホール形成位置に対応する黒円49aの描かれたフォトマスクフィルム49を層間樹脂絶縁層50に載置し、露光する(図15(B))。

【0111】(6) DMTG液でスプレー現像し、加熱処理を行うことで直径85μmのバイアホール用開口48を備える層間樹脂絶縁層50を設ける(図15(C)参照)。

【0112】(7)、過マンガン酸、又は、クロム酸で層間樹脂絶縁層50の表面を粗化し、粗化面50aを形成する(図15(D)参照)。以降の工程は、上述した第1実施例と同様であるため、説明を省略する。粗化面は、0.05〜5μmの間が望ましい。

【0113】上述した実施例の半導体素子と比較例の半導体素子をと第1、第2実施例の多層プリント配線板に収容し評価した結果を図17、図18の図表に示す。

【比較例1】比較例は、第1実施例の半導体素子を同様である。但し、比較例1では、トランジション層を形成せず、ダイパッドをそのまま多層プリント配線板へ埋め込んだ。

【比較例2】比較例2では、特開平9-321408号のスタッドバンプを形成し、多層プリント配線板へ埋め込んだ。

【0114】評価項目として、

①ダイパッドの変色・溶解の有無を目視によって判定した。

②バイアホール用開口の形成の可否を、第1実施例の多層プリント配線板の製造方法を用い、レーザで径60μmの開口が形成できるかを、また、第2実施例の多層プリント配線板の製造方法を用い、フォトリソングであれば、径85μmの開口が形成できるかを調べた。

③ダイパッドとバイアホールとの接触抵抗を測定した。第1〜第4実施例の半導体素子では、好適な結果が得られたが、比較例1、2ではバイアホールの形成不良や接続不良、あるいは抵抗値の増大などの問題が発生した。

【0115】

【発明の効果】本発明の構造により、リード部品を介さずに、ICチップとプリント配線板との接続を取ることができる。そのため、樹脂封止も不要となる。更に、リード部品や封止樹脂に起因する不具合が起きないので、接続性や信頼性が向上する。また、ICチップのパッドとプリント配線板の導電層が直接接続されているので、

電気特性も向上させることができる。更に、従来のICチップの実装方法に比べて、ICチップ～基板～外部基板までの配線長も短くできて、ループインダクタンスを低減できる効果もある。また、BGA、PGAなどを配設できるほど、配線形成の自由度が増した。

【図面の簡単な説明】

【図1】(A)、(B)、(C)は、本発明の第1実施例に係る半導体素子の製造工程図である。

【図2】(A)、(B)、(C)は、本発明の第1実施例に係る半導体素子の製造工程図である。

【図3】(A)、(B)は、本発明の第1実施例に係る半導体素子の製造工程図である。

【図4】(A)は、本発明の第1実施例に係るシリコンウエハー20Aの平面図であり、(B)は、個片化された半導体素子の平面図である。

【図5】(A)、(B)、(C)、(D)は、本発明の第2実施例に係る半導体素子の製造工程図である。

【図6】(A)、(B)、(C)は、本発明の第2実施例に係る半導体素子の製造工程図である。

【図7】(A)、(B)は、本発明の第2実施例に係る半導体素子の製造工程図である。

【図8】(A)、(B)、(C)、(D)は、本発明の第3実施例に係る半導体素子の製造工程図である。

【図9】(A)、(B)、(C)、(D)は、本発明の第2実施例に係る半導体素子の製造工程図である。

【図10】(A)、(B)、(C)、(D)は、本発明の第1実施例に係る多層プリント配線板の製造工程図である。

【図11】(A)、(B)、(C)は、本発明の第1実施例に係る多層プリント配線板の製造工程図である。

【図12】(A)、(B)、(C)は、本発明の第1実施例に係る多層プリント配線板の製造工程図である。

【図13】(A)、(B)、(C)は、本発明の第1実

施例に係る多層プリント配線板の製造工程図である。

【図14】本発明の第1実施例に係る多層プリント配線板の断面図である。

【図15】(A)、(B)、(C)、(D)は、本発明の第2実施例に係る多層プリント配線板の製造工程図である。

【図16】本発明の第2実施例に係る多層プリント配線板の断面図である。

【図17】第1、第2実施例の半導体素子を評価した結果を示す図表である。

【図18】第3、第4実施例の半導体素子を比較例と評価した結果を示す図表である。

【符号の説明】

20 ICチップ(半導体素子)

22 ダイパッド

24 保護膜

30 コア基板

32 凹部

36 樹脂層

38 トランジション層

50 層間樹脂絶縁層

58 導体回路

60 バイアホール

70 ソルダーレジスト層

76 半田バンプ

90 ドータボード

96 導電性接続ピン

97 導電性接着剤

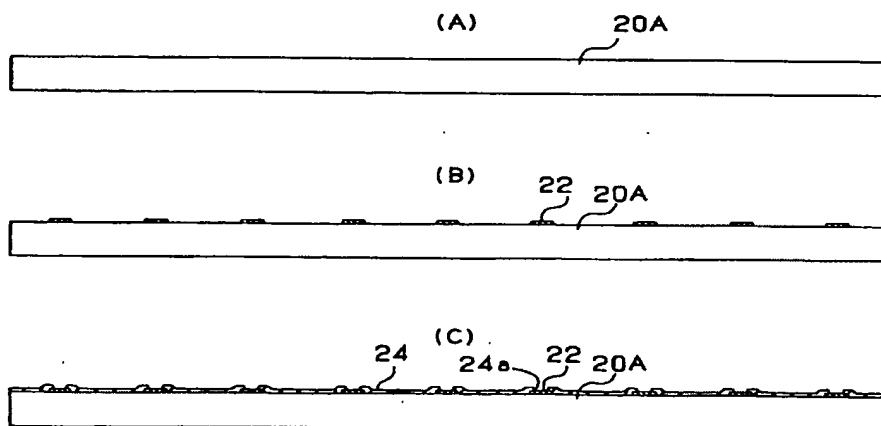
120 ICチップ

150 層間樹脂絶縁層

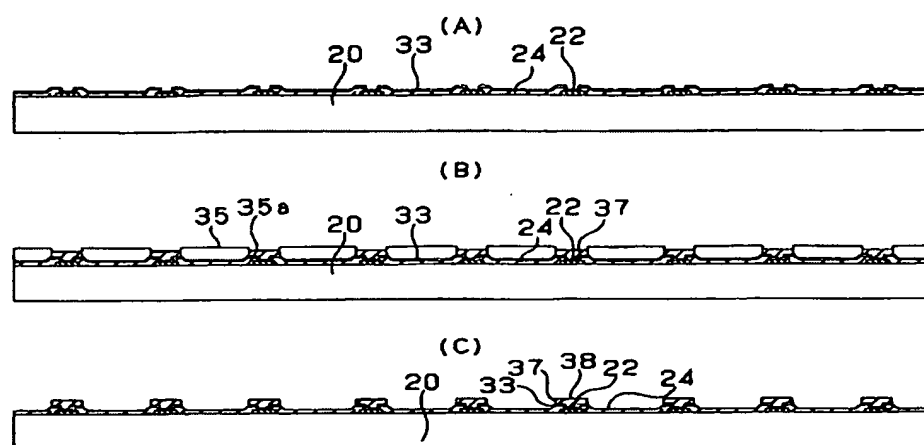
158 導体回路

160 バイアホール

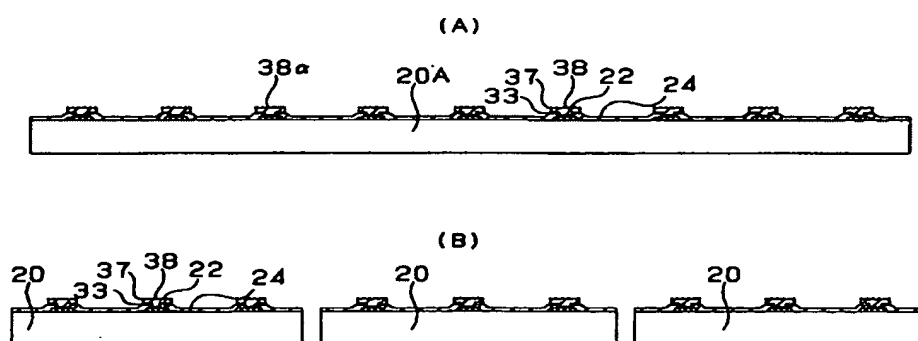
【図1】



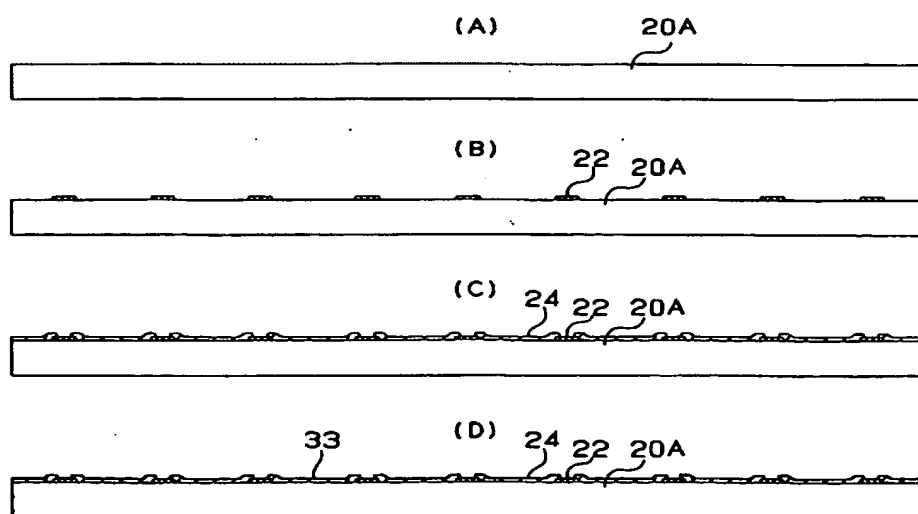
【図2】



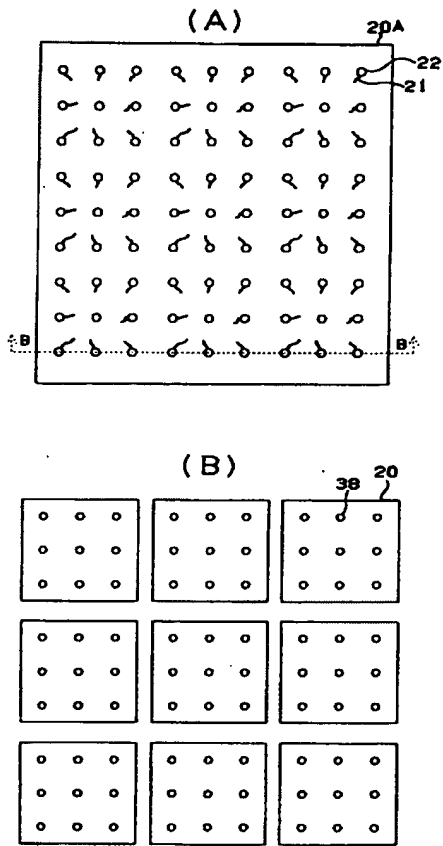
【図3】



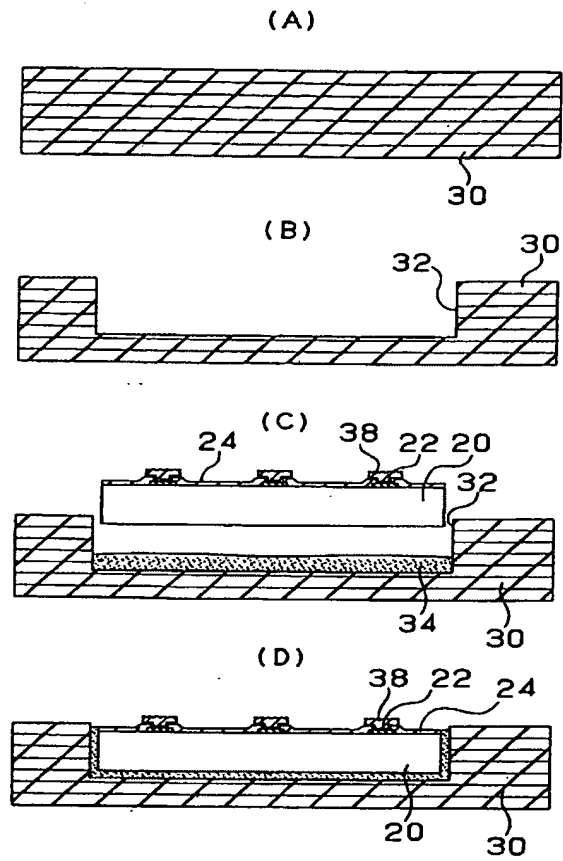
【図5】



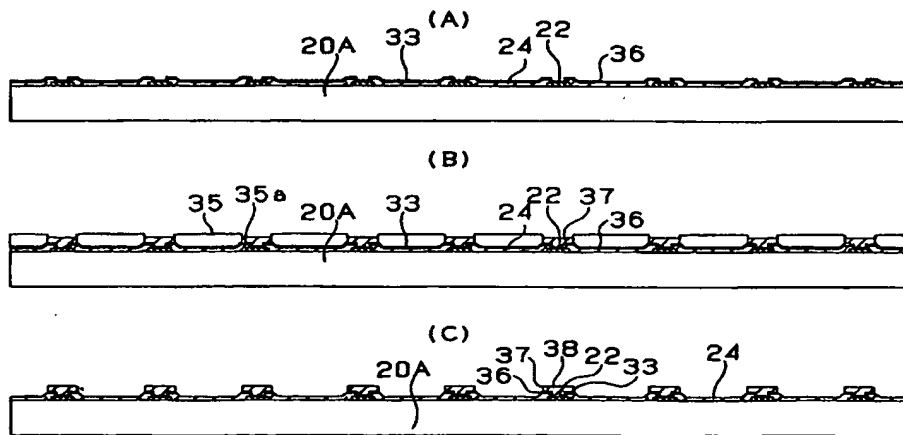
【図4】



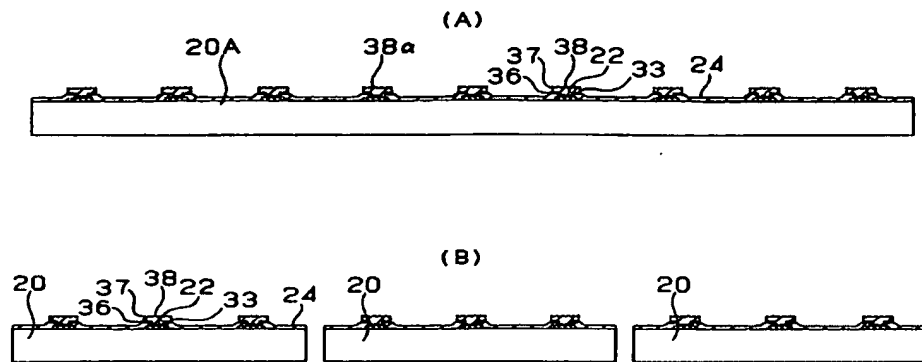
【図10】



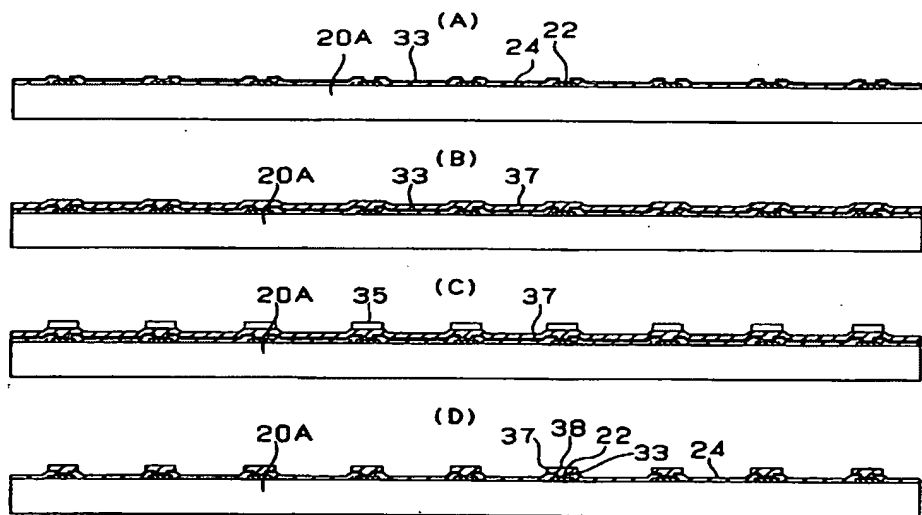
【図6】



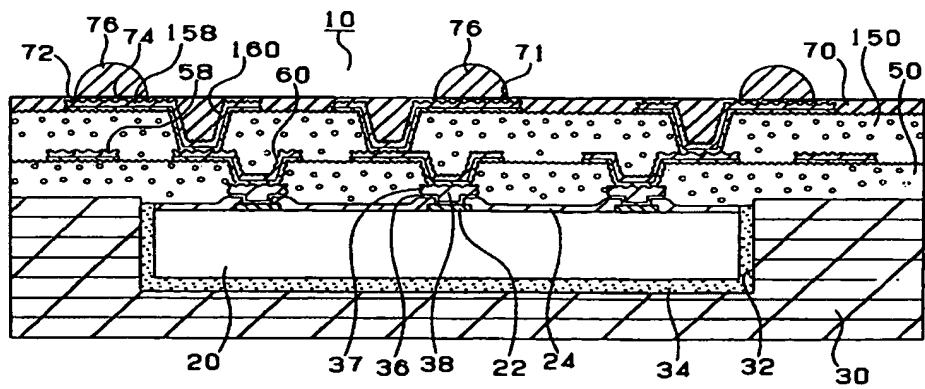
【図7】



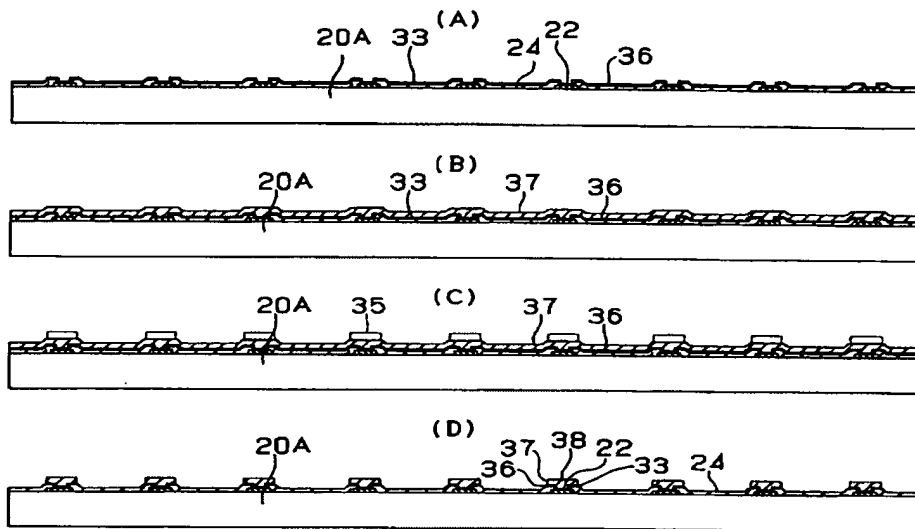
【図8】



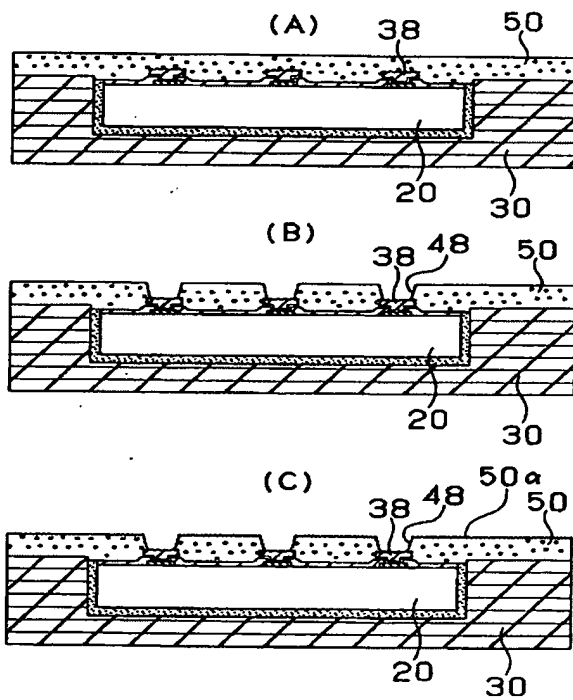
【図14】



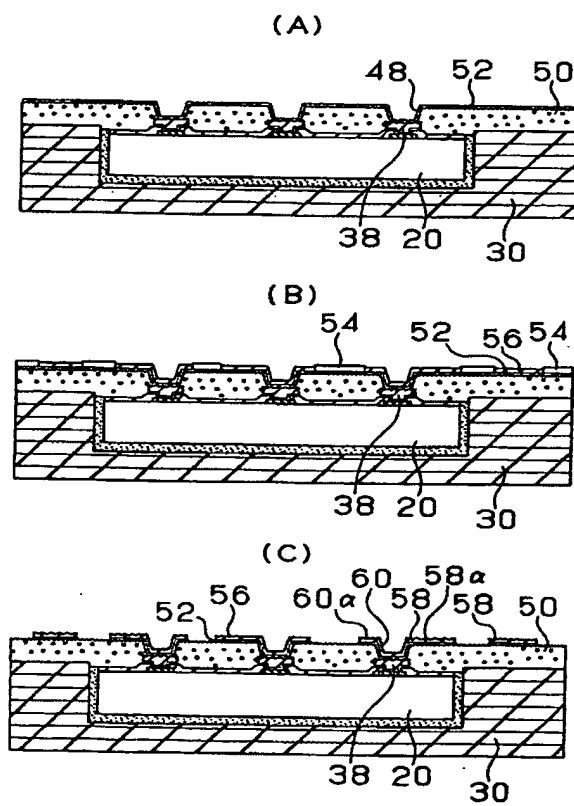
【図9】



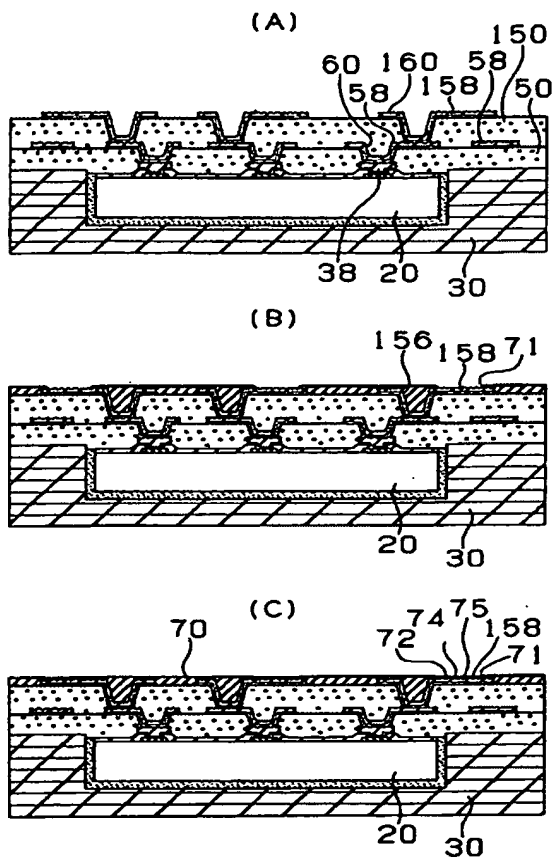
【図11】



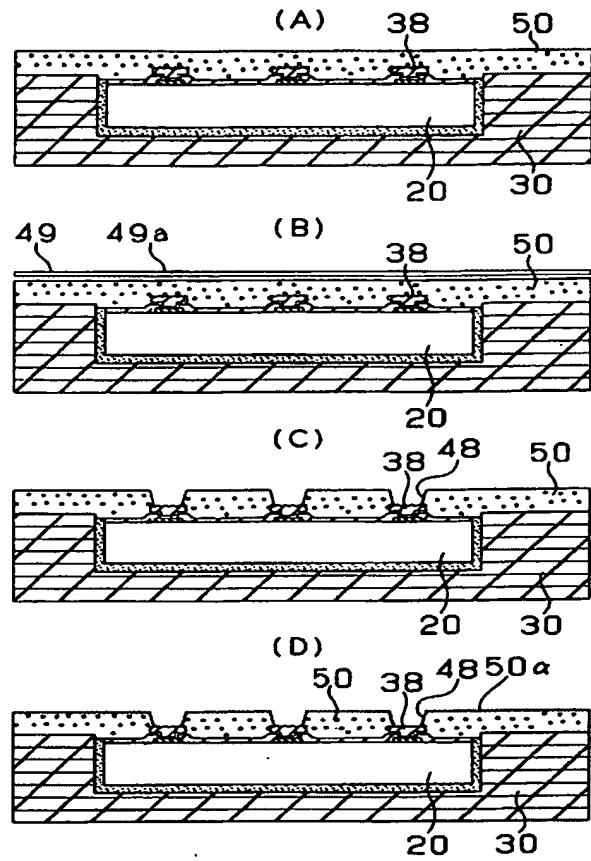
【図12】



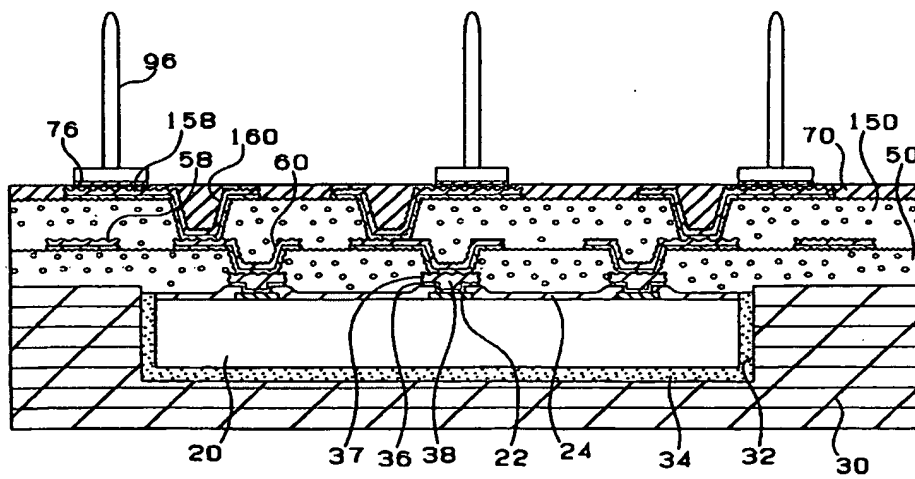
【図13】



【図15】



【図16】



【図17】

実施例と比較例の評価結果

半導体素子	第1実施例の多層プリント配線板			第2実施例の多層プリント配線板		
	変色・溶解	形成の可否	接触抵抗 (Ω)	変色・溶解	形成の可否	接触抵抗 (Ω)
第1実施例	無し	可	0.20	無し	可	0.22
第1実施例 第1改変例	無し	可	0.18	無し	可	0.18
第2実施例	無し	可	0.17	無し	可	0.17
第2実施例 第1改変例	無し	可	0.22	無し	可	0.19
第2実施例 第2改変例	無し	可	0.20	無し	可	0.20
第2実施例 第3改変例	無し	可	0.17	無し	可	0.20
第2実施例 第4改変例	無し	可	0.14	無し	可	0.18
第2実施例 第5改変例	無し	可	0.20	無し	可	0.16

【図18】

実施例と比較例の評価結果

半導体素子	第1実施例の多層プリント配線板			第2実施例の多層プリント配線板		
	変色・溶解	形成の可否	接触抵抗 (Ω)	変色・溶解	形成の可否	接触抵抗 (Ω)
第3実施例	無し	可	0.17	無し	可	0.16
第3実施例 第1改変例	無し	可	0.18	無し	可	0.22
第4実施例	無し	可	0.23	無し	可	0.19
第4実施例 第1改変例	無し	可	0.22	無し	可	0.19
第4実施例 第2改変例	無し	可	0.20	無し	可	0.17
第4実施例 第3改変例	無し	可	0.20	無し	可	0.18
第4実施例 第4改変例	無し	可	0.18	無し	可	0.22
第4実施例 第5改変例	無し	可	0.15	無し	可	0.20
比較例1	有り	不可	1K以上	有り	不可	1K以上
比較例2	有り	不可	1K以上	有り	不可	1K以上

フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テラコート (参考)

H O I L 21/92

6 0 4 B

F ターム (参考) 5E346 AA60 CC04 CC09 CC32 CC37
 CC41 DD17 DD25 EE08 EE31
 FF06 FF07 FF10 FF15 FF17
 FF22 FF45 HH07 HH32
 5F044 KK18 KK19 LL15 QQ03 QQ04